

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭61-145838

⑫ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)7月3日

H 01 L 21/60

6732-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 半導体素子の接続方法

⑮ 特 願 昭59-269219

⑯ 出 願 昭59(1984)12月20日

⑰ 発 明 者 横 内 賢 志 男 川崎市中原区上小田中1015番地 富士通株式会社内
⑱ 発 明 者 鈴 木 悠 一 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

半導体素子の接続方法

2. 特許請求の範囲

フリップチップタイプの半導体素子において該素子のパンブ部が半田ボールを除き耐熱性絶縁層で被覆して形成しており、該パンブ部を絶縁基板上にパターン生成してある導体回路のパンブ部に位置合わせし、加熱融着することを特徴とする半導体装置の接続方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は端子電極相互間の絶縁を確保した半導体素子の接続方法に関する。

情報処理装置の処理能力を向上するためIC、LSIなどの半導体装置は単位素子の小形化と大容量化が進められVLSIが実現しているが同時に実装方法も改良されている。

すなわち従来の半導体装置はチップ毎にハーメチックシールを行うパッケージ構造をとり、この

パッケージに設けられているリードピン或いはリードフレームをプリント配線基板に設けられているスルーホール孔に挿入するか、或いはパッド部に溶着するなどにより装着する方法がとられていた。

然し、今後の実装形態として複数個のLSIチップをセラミックからなる多層配線基板に搭載してLSIモジュールを作り、これを取替え単位としてプリント配線基板に装着すると云う実装方法がとられようとしている。

この場合、LSI 或いはVLSIなどの半導体チップは端子数が膨大となるので、半田ボールを使用するフリップチップ構造をとり、この半田ボール電極端子をセラミック基板に予めパターン形成されているパンブと位置合わせし、融着する接続方法がとられている。

この場合、半導体チップの半田ボール電極端子とセラミック基板のパンブとは正確に接合していると共に相互のパンブ間の絶縁が確実に保持されていることが必要条件となる。

(従来の技術)

第2図はフリップチップ構造をとる従来の半導体素子の装着構造を示すもので、シリコン(Si)などからなる半導体チップ1の周辺にはパンプ2と言われる端子電極が多数設けられており、この上に半田ボール3が加熱溶着されて電極端子が構成されており、一般に半田パンプ4と呼称されている。

一方、かかる半導体チップを装着するセラミック基板5は多くの場合多層配線構造をとり、チップ搭載位置には同様にパンプ6かパターン形成されている。

ここで半導体チップの配線パターンはアルミニウム(Al)のように半田付けが不可能な金属を用いて形成されている場合があり、このような場合にも半田溶着を可能とするためパンプは金(Au)/クロム(Cr)/Al或いはAu/銅(Cu)/Cr/Alのような多層構造をなして構成されている。

そして接合に当たってはセラミック基板5を加熱した状態で半導体チップ1との位置合わせを行

い、一定圧で加圧することより半田ボール3をセラミック基板5のパンプ6に溶着している。

然し、半導体チップ1の大容量化が進行して構成素子数が増加し、半田パンプ4の相互間隔が縮小すると溶着に当たって加圧変形した半田が隣接する半田パンプ4の半田と接近して絶縁不良を生じ易く、収率低下の原因となっている。

(発明が解決しようとする問題点)

以上説明したようにフリップチップタイプの半導体素子は構成素子数が増加するに従って半田パンプ相互間の間隔が接近し、装着に際して短絡或いは絶縁抵抗の低下を生じ、これにより収率が低下するのが問題である。

(問題点を解決するための手段)

上記の問題はフリップチップタイプの半導体素子において該素子のパンプ部が半田ボールを除き耐熱性絶縁層で被覆して形成してあり、該パンプ部を絶縁基板上にパターン生成してある導体回路のパンプ部に位置合わせし、加熱融着することを特徴とする半導体装置の接続方法により解決する

ことができる。

(作用)

本発明は構成素子数の増大による半田パンプ相互間の絶縁不良をこの間に絶縁層を設けることにより無くするものである。

第1図(A)は本発明を実施した半導体チップをセラミック基板5に溶着する前の状態を、また同図(B)は溶着した後の状態を示している。

すなわちポリイミド、二酸化珪素(SiO₂)など耐熱性をもつ絶縁層8で半田パンプ相互間を埋めることにより、加熱融着の際における半田ボール3の変形を規制し、これにより半田パンプ相互間の絶縁を確保するものである。

(実施例)

いま例を256 K ビットのダイナミック・ランダム・アクセスメモリにとるとAl配線パターン幅は約2 μm程度にまで縮小されたものが用いられており、半田パンプ4相互間のピッチは250 μm程度にまで縮小したものが用いられている。

ここでパンプ2は先に記したように例えばAl/C

r/Cu/Auの四層構造で形成してあり、厚さが0.6 μm程度に隆起してパターン形成されており、その大きさは約50 μm角である。

そしてこの上に直径が約100 μmの半田ボール3が融着される。

それ故にパンプ2相互間の距離は200 μm程度にまで接近している。

本発明は半田ボール3の間を耐熱性絶縁物によって埋めるものである。

実施例1:

Al/Cr/Cu/Auからなる四層構成のパンプ2をパターン形成した後、半導体チップ7の全面に感光性ポリイミド(東レ、商品名フォトニス)をスピンコート法を用いて塗布し、85~90℃で乾燥した後、紫外線露光と現像処理を行って半田ボール装着部を空開けする。

そして135~400℃の温度でキュアを行った後、従来と同様に半田ボール3をパンプ2に融着した。

このようにしてできた第1図(A)に示すような半導体チップ7を従来と同様に加熱したセラミ

ック基板 5 に併置合わせし、同図 (B) に示すように溶着したが半田パンプ 4 相互間の絶縁は完全であって半田ボール 3 による絶縁不良は皆無であった。

実施例 2 :

実施例 1 と同様にパンプ 2 を形成した後、半導体チップ 7 の全面に電子ビーム蒸着法により二酸化珪素 (SiO_2) を蒸着し、この上にスピコート法によりレジストの被覆を行った後、写真食刻技術 (ホトリソグラフィ) により半田ボール装着部を窓開けし、これにプラズマエッチングを行って SiO_2 を窓開けした。

次にこの窓開け部に半田ボール 3 を置き、従来のように溶着して第 1 図 (A) に示すようなフリップチップタイプの半導体チップを作った。

これを用いて接着を行い、同図 (B) に示すような接合が得られたが、半田パンプ 4 相互間の絶縁は完全であり、半田ボール 3 による絶縁不良は皆無であった。

〔発明の効果〕

以上記したように本発明の実施により LSI より VLSI へと大容量化が進行して半田パンプ相互間の距離が縮小する場合でも半田の横方向への異常な変形を抑制することができるので短絡不良を無くすることが可能となり、半導体チップ装着工程における不良発生を無くすることができる。

4. 図面の簡単な説明

第 1 図は本発明の実施法を説明する断面図で同図 (A) は溶着処理前の状態、同図 (B) は溶着処理後の状態、

第 2 図は従来の装着状態を示す断面図、である。

図において、

1. 7 は半導体チップ、 2. 6 はパンプ、
3 は半田ボール、 4 は半田パンプ、
5 はセラミック基板、
である。

代理人 弁理士 松岡宏四郎

